

BUNDESREPUBLIK DEUTSCHLAND

PCT/EP 03/01583

10/505320

10 Rec'd PCT/PTC 20 AUG 2004

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)



REC'D 15 APR 2003

WIPO PCT

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 07 300.7

Anmeldetag: 21. Februar 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Integrierter Festwertspeicher, Verfahren
zum Betreiben eines solchen Festwert-
speichers sowie Herstellungsverfahren

IPC: G 11 C 16/02

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. März 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Wallner

Beschreibung

Integrierter Festwertspeicher, Verfahren zum Betreiben eines solchen Festwertspeichers sowie Herstellungsverfahren

5

Die Erfindung betrifft einen integrierten Festwertspeicher, ein Verfahren zum Betreiben eines solchen Festwertspeichers sowie ein Herstellungsverfahren für einen integrierten Festwertspeicher.

10

Mit zunehmender Integrationsdichte in der Mikroelektronik steigt auch der Bedarf an hochintegrierten Festwertspeichern. Diese finden Einsatz beispielsweise für die On-Chip-Speicherung von Audio-, Grafik- oder Videodaten.

15

Festwertspeicher zeichnen sich dadurch aus, dass der Speicherinhalt auch beim Abschalten der Betriebsspannung erhalten bleibt. Solche Festwertspeicher sind insbesondere auch programmierbar ausgebildet (PROM). Programmierbare Bauelemente dafür sind etwa Sicherungen, Dioden oder aber auch spezielle MOSFETs, die ein zusätzliches sogenanntes Floating Gate aufweisen. Dieses wird beim Programmieren aufgeladen und verschiebt dadurch die Schwellenspannung des MOSFETs. Da das Floating Gate ringsum mit SiO_2 isoliert ist, kann der Ladungserhalt für etwa zehn Jahre garantiert werden.

20

Über die Programmierfunktion hinaus gibt es Festwertspeichervarianten, die löschar ausgebildet sind (EPROM, EEPROM). Bei EPROMs kann der Speicheinhalt mit ultraviolettem Licht gelöscht werden, bei EEPROMs erfolgt die Löschfunktion elektrisch.

30

Eine besondere Ausführungsform von löschbaren Festwertspeichern stellen Flash-Speicher dar. Diese sind elektrisch löschar, wobei nicht die einzelnen Speicherzellen separat löschar sind, sondern nur ein ganzer Block auf dem Chip auf einmal. Dabei erfolgt die Löschung mittels eines

35

einzigem, einige Sekunden andauernden Löschimpuls. Der Vorteil dabei ist, dass der Speicherchip zum Löschen nicht ausgebaut und in ein Löschgerät gelegt werden muß.

- 5 Gewöhnlich sind integrierte Speicher in Form von Feldern aufgebaut. Über sogenannte Auswahltransistoren werden einzelne Speicherelemente angewählt, sodass ihr Inhalt ausgelesen werden kann. Über Wortleitungen werden einzelne Auswahltransistoren ausgewählt. Die Wortleitungen sind dabei
10 mit den Steuerelektroden von Auswahltransistoren verbunden. Über Bitleitungen wird der Speicherinhalt ausgelesen. Zum Beschreiben oder Konfigurieren von Speicherzellen sind gewöhnlich zusätzliche Leitungen zum Zugriff auf das Speicherelement erforderlich. Dies vergrößert den Aufbau von
15 integrierten Festwertspeichern und verkompliziert deren Handhabung.

- Aus [1] ist eine elektronisch konfigurierbare Verbindung bekannt, die eine molekulare Monoschicht zwischen zwei
20 lithografisch hergestellten Kontakten aufweist. Die Kontakte sind dabei als Al-Ti-Elektroden ausgebildet. Als Molekularschicht werden Rotaxan-Moleküle verwendet.

- Das elektrische Verhalten dieser Verbindung läßt sich wie folgt beschreiben: Wird eine Schicht negativ gepolt, so steigt mit zunehmender negativer Polung der Strom an der Verbindung an. Eine solche Behandlung der elektrischen Verbindung ändert das Schaltverhalten dahingehend, dass nunmehr bei negativ gepolter Schicht nur noch ein um den
30 Faktor 60 bis 80 geringerer Strom meßbar ist als ohne die vorherige Behandlung der Verbindung mit einer positiv gepolten Schicht.

- Damit kann die Verbindung als Schalter verstanden werden, der
35 einen offenen (schlechtere Leitfähigkeit) sowie einen geschlossenen Zustand (bessere Leitfähigkeit) aufweisen kann. Der offene Zustand erlaubt einen Stromfluß bei negativer

Spannung aufgrund eines Resonanz-Tunneleffekts im Rotaxan-Elektroden-Übergang. Der Übergang des Schalters vom offenen in den geschlossenen Zustand durch Anlegen einer ausreichenden positiven Spannung ist irreversibel, sodass ein
5 einmal geschlossener Schalter nicht mehr einen offenen Zustand einnehmen kann.

Die Verbindung ist zum Einsatz in Logikschaltungen offenbart.

10 Ein weiterer elektronisch konfigurierbarer Schalter ist aus [2] bekannt: Als Elektroden werden zum einen eine polykristalline Silizium-Elektrode und zum anderen eine Metallelektrode verwendet. Eine molekulare Monoschicht zwischen den Elektroden enthält [2] Catenane.

15 Bei Betrieb des Schalters wird der Effekt ausgenutzt, dass sich mechanisch blockierte, ineinandergreifende Molekülringe des [2] Catenane bei Oxidation und anschließender Reduktion gegeneinander verschieben und dadurch die elektrischen
20 Eigenschaften der Schaltverbindung geändert werden. Diese spannungsgesteuerte Verschiebung ist reversibel. Die Konfigurierung erfolgt also entlang einer Hystereseschleife. Abhängig von der zuvor beaufschlagten Konfigurierungsspannung ist ein bestimmtes Schaltverhalten bei Anlegen einer vorgegebenen Lesespannung zu beobachten.

Eine weitere Ausführungsform eines molekular aufgebauten Schalters geht aus [3] hervor. Auch hier wird der Elektronentransport über Molekularstrecken kontrolliert. Als
30 Molekularschicht wird eine Bipyridinium-Verbindung verwendet.

In [5] wird eine Metall-Isolator-Metall-Anordnung vorgeschlagen. Auf einen SrRuO_3 -Film oder einen Pt-Film als Elektrode wird ein Isolatoroxid, etwa SrZrO_3 oder SrTiO_3 oder
35 $\text{Ca}_2\text{Nb}_2\text{O}_7$, als epitaxialer oder polykristalliner Film aufgebracht. Die Top-Elektrode aus Au oder Pt wird über eine Ti-Schicht auf den Isolator aufgebracht.

Ein Lesezugriff auf die Schaltanordnung erfolgt bei SrZrO_3 als Isolator dotiert mit 0,2 Cr in einem Spannungsbereich von -0,5 Volt bis +0,5 Volt. In diesem Lesespannungsbereich ist
5 der Strom-/Spannungszusammenhang in etwa linear. Der Stromfluß über diesen Spannungsbereich hängt ab von der vorherigen Konfiguration des Isolators. Konfiguriert wird der Isolator durch Anlegen von Spannungen von + 1 Volt oder - 1 Volt über eine Dauer von 2 ms. Durch Anlegen der negativen
10 Konfigurationsspannung kippt der Isolator in seinen niederohmigen Zustand und weist dabei eine sich von der Widerstandskennlinie nach Anlegen der positiven Konfigurationsspannung deutlich unterscheidende Widerstandskennlinie auf. Durch Anlegen der positiven
15 Konfigurationsspannung kippt der Isolator in seinen hochohmigen Zustand. Die Konfiguration ist reversibel.

Der durch Konfigurationsspannungspulse hervorgerufene Wechsel der Widerstandskennlinien wird durch einen Wechsel zwischen
20 amorphem und kristallinem Isolatorzustand verursacht.

[4] zeigt Chalcogenide-Legierungen, die durch gesteuertes Heizen und Kühlen konfiguriert werden. Dabei wird durch das Anlegen eines Spannungspulses ein Wechsel zwischen amorphem und kristallinem Zustand und umgekehrt herbeigeführt.

[6] verwendet als Schicht, deren Leitfähigkeit aufgrund eines Wechsels zwischen kristallinem und amorphem Zustand änderbar ist, einen Komplex aus 3-Nitrobenzal Malonitrile und 1,4-
30 Phenylenediamine.

Der Erfindung liegt das Problem zugrunde, einen integrierten Festwertspeicher anzugeben, der eine hohe Integrationsdichte aufweist, und der in wenigen Schritten programmiert werden
35 kann.

Weiterhin liegt der Erfindung die Aufgabe zugrunde, ein Verfahren zur Herstellung eines solchen integrierten Festwertspeichers anzugeben.

5 Die Aufgaben werden durch den integrierten Festwertspeicher nach den Merkmalen des Anspruch 1, das Betriebsverfahren nach den Merkmalen des Anspruchs 24 sowie das Herstellungsverfahren nach den Merkmalen des Anspruchs 25 gelöst.

10 Der erfindungsgemäße Festwertspeicher enthält Auswahltransistoren mit je einem Drain-Anschluss sowie eine Elektrode zur Zufuhr einer Spannung oder eines Stromes. Eine Schicht ist zwischen den Drain-Anschlüssen und der Elektrode
15 vorgesehen. Der elektrische Widerstand der Schicht ist durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-Stromes änderbar.

Es wird also die Verwendung einer Schicht vorgeschlagen,
20 deren elektrischer Widerstand oder deren elektrische Leitfähigkeit durch elektrische Konfigurierung änderbar ist. Durch Einwirken eines Konfigurierungsstromes oder einer Konfigurierungsspannung wird die elektrische Eigenschaft „Widerstand“ bzw. „Leitfähigkeit“ der Schicht eingestellt, sodass in einem Leseschritt die Einstellung abgefragt werden kann.

Wesentlich dabei ist, daß so gebildete Schaltelemente des integrierten Festwertspeichers nur zwei Anschlüsse
30 aufzuweisen brauchen, eben den Elektrodenanschluss sowie den Anschluß zum Drain des jeweiligen Auswahltransistors. Über diese beiden Anschlüsse kann die als Speicherelement verwendete zwischenliegende Schicht durch geeignete Spannungs- oder Strombeaufschlagung sowohl konfiguriert
35 werden - als Synonym auch für „beschrieben“ oder „programmiert“ verwendet -, als auch ihr Inhalt - repräsentiert durch einen bestimmten Schichtzustand -

ausgelesen werden: Konfigurierungsanschluss und Leseanschluss müssen nicht mehr voneinander getrennt vorgesehen werden.

Durch eben diese Maßnahme kann die Integrationsdichte
5 erheblich erhöht werden. Da jede Speicherzelle individuell ansteuerbar ist, kann die Ansteuerung mit hohen Geschwindigkeiten erfolgen. Zudem ermöglicht die Auswahl geeigneter Materialsysteme die Verwendung von niedrigen Betriebsspannungen, zumindest niedrigeren Betriebsspannungen
10 als bei herkömmlichen Flash-Speicher-Technologien.

Bei über Gate angesteuertem Auswahltransistor einer Speicherzelle wird über eine an Source angeschlossene Bitleitung der Inhalt ausgelesen. Der Stromfluß von der
15 Elektrode über die elektrisch schaltbare Schicht und die Drain-Source-Strecke des Auswahltransistors zur Bitleitung ist Maß für den Inhalt der Speicherzelle. Dabei wird der Stromfluß signifikant durch den voreingestellten Zustand der Schicht, eben ihre Widerstandscharakteristik, beeinflußt.

20 Die Programmierung einer solchen Speicherzelle kann durch Anwahl des entsprechenden Auswahltransistors und darauf folgendes Anlegen einer Konfigurierungsspannung zwischen Elektrode und Bitleitung erfolgen, oder aber auch durch Variation in der Gate-Ansteuerung des Auswahltransistors bei an die Elektrode angelegter Spannung. Falls die Programmierung irreversibel ist, kann ein einmal programmierbarer Speicher realisiert werden, bei reversibler Zustandsänderung ein mehrfach beschreibbarer
30 Festwertspeicher.

Vorzugsweise ist die Schicht als gemeinsame Schicht zur Anbindung der Drain-Anschlüsse, und insbesondere aller Drain-Anschlüsse, an die Elektrode ausgebildet. Somit ist nur eine
35 einzige elektrisch schaltbare Schicht vorgesehen, an die mehrere oder sogar alle Drain-Anschlüsse von Auswahltransistoren angeschlossen sind, also elektrisch

leitend mit dieser verbunden sind. Bei dieser vorteilhaften Weiterbildung der Erfindung wird davon ausgegangen, dass die gemeinsame Schicht in ihren elektrischen Eigenschaften lokal änderbar und damit programmierbar ist. Damit können einzelne
5 abgrenzbare örtliche Bereiche der Schicht unterschiedliche Leitfähigkeit aufweisen. Eben ein solcher Bereich bildet dann eine Speicherzelle, an die ein Auswahltransistor angeschlossen ist. Über dieser Schicht ist die Elektrode vorzugsweise als gemeinsame Elektrode ausgebildet.

10

Damit wird der Herstellungsprozeß wesentlich vereinfacht, aber auch die Integrationsdichte deutlich erhöht.

Vorzugsweise ist der Widerstand der Schicht umschaltbar.

15

Diese Weiterbildung der Erfindung zielt ab auf eine möglichst gute Diskriminierung zwischen den Leitfähigkeitswerten der einstellbaren Schichtzustände.

20

Vorzugsweise ist der Widerstand der Schicht zwischen zwei Widerstandskennlinien umschaltbar. Dabei wird davon ausgegangen, dass im Lesebetrieb der Widerstand über einem anlegbaren Lesespannungsbereich nicht konstant ist sondern einer Kennlinie folgt. Die den Schichtzuständen zugeordneten Kennlinien sollen dabei gut diskriminierbar sein.

30

Der Lesebetrieb der Speicherzelle zeichnet sich aus durch eine an die Schicht angelegte Lesespannung oder einen der Schicht zugeführten Lesestrom innerhalb eines festgelegten Spannungs- bzw. Strombereiches. Im Gegensatz dazu kann der Konfigurierungsbetrieb eine Konfigurierungsspannung bzw. einen Konfigurierungsstrom vorzugsweise außerhalb des für den Lesebetrieb vorgesehenen Spannungs- bzw. Strombereiches aufweisen.

35

Dabei können Konfigurierungs- und Lesebetrieb in völlig unterschiedlichen Spannungs- bzw. Strombändern erfolgen und somit ein Fehlbetrieb vermieden werden.

- 5 Vorzugsweise ist der integrierte Festwertspeicher als Flash-Speicher ausgebildet. Dabei können durch Anlegen beispielsweise einer Konfigurierungsspannung an die Elektrode und gleichzeitigem Durchschalten aller Auswahltransistoren alle lokalen Speicherbereiche der elektrisch schaltbaren
- 10 Schicht in den gleichen Zustand in bezug auf die Leitfähigkeit versetzt werden.

Damit ist ein schnelles Löschen des Speicherinhalts möglich.

- 15 Die an Source-Anschlüsse der Auswahltransistoren angeschlossenen Bitleitungen können mit einer Decoderschaltung verbunden sein. Dazu kann die Bitleitung insbesondere zugänglich für einen externen Anschluß ausgebildet sein.

- 20 Jeder Gate-Anschluss eines Auswahltransistors kann elektrisch mit einer Wortleitung verbunden sein.

Die Wortleitung ihrerseits kann mit einer Decoderschaltung verbunden sein. Dabei kann die Wortleitung insbesondere zugänglich für einen externen Anschluß sein.

- Diese Ausführungsformen dienen der Anwahl von Auswahltransistoren im Multiplexbetrieb unter Vorschaltung
- 30 von die Adressen ermittelnden Decodern.

Die Auswahltransistoren sind auf dem Substrat vorzugsweise in einem Feld angeordnet.

- 35 Dabei können die Auswahltransistoren einen planaren Aufbau im Substrat aufweisen.

Durch den planaren Aufbau wird zugunsten vereinfachter Herstellungsschritte eine gegenüber dem vertikalen Aufbau der Transistoren etwas vergrößerte Integrationsdichte in Kauf genommen. Die Integrationsdichte einer Speicherzelle beträgt bei einer planaren Anordnung der Auswahltransistoren beispielsweise etwa $6 \cdot F^2$ oder $8 \cdot F^2$, mit F als minimale Strukturgröße.

Bei einem vertikalen Aufbau der Auswahltransistoren im Substrat beträgt die Integrationsdichte einer Speicherzelle etwa $4 \cdot F^2$, mit F als minimale Strukturgröße.

Vorzugsweise ist die elektrisch schaltbare Schicht als Molekularschicht ausgebildet und insbesondere als Monolayer ausgebildet.

Dabei kann sie insbesondere Rotaxane enthalten. Die Ausführungen in [1] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seien hiermit als zur Erfindung zugehörig offenbart.

Die Schicht kann aber auch Catenane enthalten. Die Ausführungen in [2] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seien hiermit als zur Erfindung zugehörig offenbart.

Die Schicht kann auch eine Bispyridinium-Verbindung enthalten. Die Ausführungen in [3] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seien hiermit als zur Erfindung zugehörig offenbart.

Die Schicht kann auch als Dielektrikum ausgebildet sein, unter Verwendung eines Oxidanteils.

Dabei kann die Schicht SrZrO_3 enthalten, oder aber auch $(\text{Ba.Sr})\text{TiO}_3$ oder SrTiO_3 oder $\text{Ca}_2\text{Nb}_2\text{O}_7$ oder Ta_4O_5 , gegebenenfalls geeignet dotiert, beispielsweise mit Cr. Die Ausführungen in [5] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als zur Erfindung zugehörig offenbart.

Die Schicht kann auch als Polymer ausgebildet sein.

Vorzugsweise enthält die Schicht dann einen 3-Nitrobenzal Malonitrile, 1,4 Phenylenediamine Komplex. Die Ausführungen in [6] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als zur Erfindung zugehörig offenbart.

Die Schicht kann aber insbesondere auch Chalcogenide-Material enthalten. Die Ausführungen in [4] hinsichtlich der chemischen Zusammensetzung der Schicht, der Elektrodenausbildung und -anbindung sowie des Betriebs der Schicht seinen hiermit als zur Erfindung zugehörig offenbart.

Zur Herstellung eines integrierten Festwertspeichers wird zunächst ein Feld von Auswahltransistoren in CMOS-kompatibler Technik hergestellt. Drain-Kontakte der Auswahltransistoren werden an die Oberfläche der Anordnung geführt, bevor über den Auswahltransistoren eine Schicht abgeschieden wird, deren elektrischer Widerstand durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-Stromes änderbar ist. Abschließend wird über der Schicht eine Elektrode angeordnet.

Somit kann auch einfache Art und Weise ein hochintegrierter Speicher hergestellt werden.

Insbesondere bei gemeinsamer Schicht für mehrere oder alle Speicherzellen kann diese Schicht in nur einem Herstellungsschritt abgeschieden werden.

5 Dabei können die Auswahltransistoren in einem Frontend-Prozess hergestellt und die Schicht in einem Backend-Prozess abgeschieden werden. Unter Backend-Prozess werden hierbei die zeitlich letzten Fertigungsstufen in der Halbleiterfertigung verstanden, insbesondere die Fertigungsstufen nach Aufbau von
10 Strukturen im Substrat.

Hier bringt die Integration der schaltbaren Schicht im Backend-Prozess insbesondere für organische Verbindungen wesentliche Vorteile, da die schaltbare Schicht nicht den im
15 Frontend-Prozess üblichen Temperaturen im Bereich von bis zu 1000 Celsius ausgesetzt ist. Weiterhin vermeidet die Verwendung einer unstrukturierten Topoelektrode eine mögliche Schädigung der elektrisch schaltbaren Schicht durch eine der Strukturierungstechniken.

20 Die Auswahltransistoren können planar im Substrat aufgebaut werden oder aber auch vertikal. Bei der planaren Ausrichtung können Standard-Prozesse zur Herstellung verwendet werden.

Hinsichtlich der Schichtmaterialien sowie deren Besonderheiten und Vorteilen wird auf die Ausführungen zum integrierten Festwertspeicher verwiesen.

Ausführungsbeispiele der Erfindung sind in den Figuren
30 dargestellt und werden im weiteren näher erläutert.

Es zeigen:

Figur 1 einen Querschnitt durch einen Teil eines integrierten
35 Festwertspeichers gemäß einem ersten Ausführungsbeispiel der Erfindung unter der Verwendung von planaren Auswahltransistoren;

Figur 2 einen Querschnitt durch einen Teil eines integrierten Festwertspeichers gemäß einem ersten Ausführungsbeispiel der Erfindung unter der Verwendung von vertikalen Auswahltransistoren; und

Figur 3 eine perspektivische Ansicht mit zum Teil explosiv dargestellten Elementen eines Ausschnitts eines Festwertspeichers nach Figur 2.

Gleiche Elemente sind figurenübergreifend durch die gleichen Bezugszeichen gekennzeichnet.

Fig.1 zeigt einen Teil eines integrierten Festwertspeichers gemäß einem ersten Ausführungsbeispiel der Erfindung im Querschnitt.

Der Festwertspeicher enthält dabei einen n-Kanal MOSFET als Auswahltransistor 15. In einem p-Substrat ist dabei durch Dotierung ein N-Draingebiet 11 und ein N-Sourcegebiet 12 erstellt. Über dem Kanal zwischen Drain- und Sourcegebiet 11 bzw. 12 ist durch eine Oxidschicht 9 isoliert ein Gate 5 aufgebracht mit einem Polysilizium-Gate 8 sowie einer Wolframschicht 7 und einer Nitridschicht 6 darüber.

Oxid-Spacer 10 isolieren das Gate 5 seitlich gegen einen Source-Anschluss 4, überwiegend aus Polysilizium hergestellt, sowie einem Drain-Anschluss 3, der als metallener Stöpsel nach oben geführt ist.

Source-Anschluss 4 und Drain-Anschluss 3 kontaktieren das Sourcegebiet 12 bzw. das Draingebiet 11 im Substrat 13.

Andererseits ist der Source-Anschluss 4 mit einer Bitleitung 14 verbunden. Der Drain-Anschluss 3 ist seinerseits mit einer elektrisch schaltbaren Schicht 2 verbunden, beispielsweise

eine Rotaxane-Molekularschicht, welche ihrerseits von einer Elektrode 1 bedeckt ist.

5 Zu beiden Seiten des Planar-Auswahltransistors 15 schließen sich weitere Auswahltransistoren an. So ist beispielsweise rechtsseitig ein weiterer Drain-Anschluss eines Auswahltransistors gezeigt, der ebenfalls mit der Schicht 2 verbunden ist.

10 Die Anordnung nach Figur 1 zeigt deshalb nur einen Ausschnitt aus einem Feld von Speicherzellen eines Festwertspeichers, insbesondere nur eine beschriftete Speicherzelle mit einem Auswahltransistor 15 und einem zugehörigen Abschnitt - um den Drain-Anschluss 3 herum - der Schicht 2 als
15 Speicherelement, das in diesem Bereich lokal konfigurierbar ist.

Insbesondere ist dabei der Widerstand der Schicht 2 lokal durch Einwirken einer an der Elektrode 1 anliegenden Spannung
20 änderbar. Somit ist das lokale elektrische Verhalten der Schicht 2 abhängig von der chemischen Zusammensetzung des Schichtmaterials einmalig oder mehrmals einstellbar durch Spannungs- oder durch Strompulse. Diese elektrisch schaltbare Schicht stellt in ihrer Gesamtheit die eigentlichen
Speicherelemente dar, die durch lokale Bereiche in der Schicht mit unterschiedlichen Widerstandskennwerten repräsentiert werden. Insbesondere ist erkennbar, daß die Drain-Anschlüsse 3 mehrerer Auswahltransistoren an diese gemeinsame Schicht 2 angeschlossen sind und somit eine
30 einzige Schicht, die lokal in ihren elektrischen Eigenschaften unterschiedlich konfigurierbar ist, sämtliche Speicherinhalte bereithält.

Das Gate 5 ist mit einer nicht eingezeichneten Wortleitung
35 verbunden. Zum Auslesen des Inhalts der abgebildeten Speicherzelle wird das Gate 5 über die Wortleitung aktiviert. An der Elektrode liegt eine vorgegebene Lesespannung an. An

der Bitleitung wird der Speicherinhalt während der Gateansteuerung abgegriffen. Ist die Rotaxane-Schicht 2 als offener Schalter programmiert, so läßt die Schicht 2 bei Lesespannung, welche eine negative Polung in der Schicht bewirkt, einen Stromfluß zu, der an der Bitleitung detektiert wird. Ist die Rotaxane-Schicht aber als geschlossener Schalter programmiert - d.h. wurde bereits eine positive Spannung größer 0,7 Volt an die Elektrode angelegt, so läßt die Rotaxane-Schicht 2 aufgrund ihres molekularen Zustandes keinen Stromfluß mehr zu, was ebenfalls auf der Bitleitung detektiert wird.

Bei der Herstellung eines solchen integrierten Festwertspeichers werden zunächst in Standard-CMOS-Prozessen die Auswahltransistoren erstellt. Nach einer Vorbereitung der Source- und Drain-Anschlüsse 4 und 3 wird die elektrisch schaltbare Schicht 2 im Backend-Prozess aufgebracht, bevor diese Schicht 2 mit der Elektrode 1 abgedeckt wird.

Figur 2 zeigt einen Teil eines integrierten Festwertspeichers gemäß einem zweiten Ausführungsbeispiel der Erfindung im Querschnitt.

Im Unterschied zum Ausführungsbeispiel nach **Figur 1** sind die Auswahltransistoren 15 nun vertikal im Substrat 13 angeordnet.

Ein N-Sourcegebiet 12, ein P-Gebiet 16 und ein N-Draingebiet 11 sind übereinander angeordnet. An seitlichen vertikalen Oxidschichten 9 sind beidseits des oben beschriebenen Stapels vertikale Gates 5 aus Polysilizium angeordnet. Zwischen den Gates 5 benachbarter vertikaler Auswahltransistoren 15 sind Oxid-Spacer 10 zur Isolierung vorgesehen.

Die N-Draingebiete 11 sind wiederum mit der bereits im Zusammenhang mit **Figur 1** näher beschriebenen elektrisch

15

schaltbaren Schicht 2 verbunden, auf der wiederum die Elektrode 1 aufgebracht ist.

Die N-Sourcegebiete sind wiederum mit unterhalb der Auswahltransistoren 15 angeordneten Bitleitungen 14 verbunden.

Die mit den Gates 5 verbundenen Wortleitungen sind wiederum nicht eingezeichnet.

10

Auch den Vertikaltransistoranordnungen nach Figur 2 wird die Schicht 2 im Backend-Prozess aufgebracht.

Figur 3 zeigt einen Ausschnitt eines integrierten Festwertspeichers nach Figur 2, im Bild nur mit einem einzigen vertikalen Auswahltransistor 15, in einer Explosivdarstellung.

15

Schicht 2 und Elektrode 1 sind dabei explosiv abgehoben von dem einzigen Auswahltransistor 15.

20

Insbesondere sind Struktur und Anordnung von Bitleitungen 14 ersichtlich, die untereinander durch Oxid-Spacer 10 voneinander isoliert sind.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] C.P. Collier et al, Electronically Configurable
Molecular-Based Logic Gates, Science, Volume 285, S.
391, 1999
- [2] C.P. Collier et al, A [2]Catenane-Based Solid State
Electronically Reconfigurable Switch, Science, Volume
289, S. 1172, 2000
- [3] D.I. Gittins et al, A Nanometre-Scale Electronic Switch
Consisting of a Metal Cluster and Redox-Addressable
Groups, Nature, Volume 408, S. 67, 2000
- [4] G. Wicker et al, Nonvolatile, High Density, High
Performance Phase Change Memory, www.Ovonyx.com
- [5] A. Beck et al, Reproducible Switching Effect in Thin
Oxide Films for Memory Applications, Applied Physics
Letters, Volume 77, S. 139, 2000
- [6] H.J. Gao et al, Reversible, Nanometer-Scale Conductance
Transitions in an Organic ...", Physical Review Letters,
Volume 84, No. 8, S. 1780, 2000

Patentansprüche

1. Integrierter Festwertspeicher,
 - mit Auswahltransistoren mit je einem Drain-Anschluss,
- 5 • mit einer Elektrode zur Zufuhr einer Spannung oder eines Stromes,
- mit einer Schicht zwischen den Drain-Anschlüssen und der Elektrode, deren elektrischer Widerstand durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-
- 10 Stromes änderbar ist.
2. Festwertspeicher nach Anspruch 1,
 - bei dem die Schicht als gemeinsame Schicht zur Anbindung der Drainanschlüsse an die Elektrode ausgebildet ist, und
 - 15 • bei dem der elektrische Widerstand der Schicht lokal änderbar ist.
3. Festwertspeicher nach Anspruch 1 oder Anspruch 2, bei dem der Widerstand der Schicht umschaltbar ist.
- 20 4. Festwertspeicher nach einem der vorhergehenden Ansprüche, bei dem der Widerstand der Schicht zwischen zwei Widerstandskennlinien umschaltbar ist.
5. Festwertspeicher nach einem der vorhergehenden Ansprüche,
 - mit einer an die Schicht angelegten Lesespannung oder einem der Schicht zugeführten Lese Strom innerhalb eines festgelegten Spannungs- bzw. Strombereiches in einem Lesebetrieb des Festwertspeichers, und
 - 30 • mit einer Konfigurierungsspannung bzw. einem Konfigurierungsstrom außerhalb des für den Lesebetrieb vorgesehenen Spannungs- bzw. Strombereiches in einem Konfigurierungsbetrieb des Festwertspeichers.
- 35 6. Festwertspeicher nach einem der vorhergehenden Ansprüche, der als Flash-Speicher ausgebildet ist.

7. Festwertspeicher nach einem der vorhergehenden Ansprüche, bei dem die Auswahltransistoren in einem Feld angeordnet sind.

- 5 8. Festwertspeicher nach einem der vorhergehenden Ansprüche,
- mit einem Source-Anschluss je Auswahltransistor, und
 - mit einer Bitleitung, die mit zumindest einem Source-Anschluss elektrisch verbunden ist.

- 10 9. Festwertspeicher nach Anspruch 8, bei dem die Bitleitung mit einer Decoderschaltung verbunden ist.

10. Festwertspeicher nach Anspruch 8 oder Anspruch 9,
15 bei dem die Bitleitung zugänglich für einen externen Anschluß ist.

11. Festwertspeicher nach einem der vorhergehenden Ansprüche,
- mit einem Gate-Anschluss je Auswahltransistor, und
- 20 • mit einer Wortleitung, die mit zumindest einem Gate-Anschluss elektrisch verbunden ist.

12. Festwertspeicher nach Anspruch 11, bei dem die Wortleitung mit einer Decoderschaltung verbunden ist.

13. Festwertspeicher nach Anspruch 11 oder Anspruch 12, bei dem die Wortleitung zugänglich für einen externen Anschluß ist.

30

14. Festwertspeicher nach einem der vorhergehenden Ansprüche, bei dem die Auswahltransistoren einen planaren Aufbau im Substrat aufweisen.

- 35 15. Festwertspeicher nach einem Ansprüche 1 bis 13, bei dem die Auswahltransistoren einen vertikalen Aufbau im Substrat aufweisen.

16. Festwertspeicher nach einem der vorhergehenden Ansprüche,
bei dem die Schicht als Molekularschicht ausgebildet ist.
- 5 17. Festwertspeicher nach Anspruch 16,
bei dem die Schicht Rotaxane enthält.
18. Festwertspeicher nach Anspruch 16,
bei dem die Schicht Catenane enthält.
- 10 19. Festwertspeicher nach Anspruch 16,
bei dem die Schicht eine Bispyridinium-Verbindung enthält.
- 15 20. Festwertspeicher nach einem der Ansprüche 1 bis 15,
bei dem die Schicht als Dielektrikum ausgebildet ist.
21. Festwertspeicher nach Anspruch 20,
bei dem die Schicht SrZrO_3 enthält.
- 20 22. Festwertspeicher nach einem der Ansprüche 1 bis 15,
bei dem die Schicht als Polymer ausgebildet ist.
23. Festwertspeicher nach Anspruch 22,
bei dem die Schicht 3-Nitrobenzal Malonitrile, 1,4
Phenylenediamine Komplex enthält.
24. Festwertspeicher nach Anspruch 22,
bei dem die Schicht eine Chalcogenide-Verbindung enthält.
- 30 25. Verfahren zum Betreiben eines integrierten
Festwertspeichers nach einem der vorhergehenden Ansprüche,
• bei dem in einem Lesebetrieb eine Lesespannung oder ein
Lesestrom innerhalb eines festgelegten Spannungs- bzw.
Strombereiches an die Schicht angelegt wird, und
35 • bei dem in einem Konfigurierungsbetrieb eine
Konfigurierungsspannung bzw. ein Konfigurierungsstrom

außerhalb des für den Lesebetrieb vorgesehenen Spannungs- bzw. Strombereiches an die Schicht angelegt wird.

26. Verfahren zum Herstellen eines integrierten

5 Festwertspeichers,

- bei dem ein Feld von Auswahltransistoren in CMOS-Technik hergestellt wird,
- bei dem Drain-Kontakte der Auswahltransistoren an die Oberfläche der Anordnung geführt werden,
- 10 • bei dem eine Schicht abgeschieden wird, deren elektrischer Widerstand durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-Stromes änderbar ist,
- bei dem über der Schicht eine Elektrode angeordnet wird.

15 27. Verfahren zum Herstellen eines integrierten

Festwertspeichers nach Anspruch 26,

bei dem die Schicht als gemeinsame Schicht zur Anbindung der Drainanschlüsse an die Elektrode über den Auswahltransistoren abgeschieden wird.

20

28. Verfahren zum Herstellen eines integrierten

Festwertspeichers nach Anspruch 26 oder Anspruch 27,

bei dem die Auswahltransistoren in einem Frontend-Prozess hergestellt werden.

29. Verfahren zum Herstellen eines integrierten

Festwertspeichers nach einem der Ansprüche 26 bis 28,

bei dem die Schicht in einem Backend-Prozess abgeschieden wird.

30

30. Verfahren zum Herstellen eines integrierten

Festwertspeichers nach einem der Ansprüche 26 bis 29,

bei dem die Auswahltransistoren planar im Substrat aufgebaut werden.

35

31. Verfahren zum Herstellen eines integrierten

Festwertspeichers nach einem der Ansprüche 26 bis 29,

bei dem die Auswahltransistoren vertikal im Substrat aufgebaut werden.

32. Verfahren zum Herstellen eines integrierten

- 5 Festwertspeichers nach einem der Ansprüche 26 bis 31,
bei dem die Schicht als Molekularschicht ausgebildet ist.

33. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 32,

- 10 bei dem die Schicht Rotaxane enthält.

34. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 32,

bei dem die Schicht Catenane enthält.

15

35. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 32,

bei dem die Schicht eine Bispyridinium-Verbindung enthält.

20

36. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach einem der Ansprüche 26 bis 31,
bei dem die Schicht als Dielektrikum ausgebildet ist.

37. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 36,

bei dem die Schicht SrZrO_3 enthält.

38. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach einem der Ansprüche 26 bis 31,

- 30 bei dem die Schicht als Polymer ausgebildet ist.

39. Verfahren zum Herstellen eines integrierten
Festwertspeichers nach Anspruch 38,

bei dem die Schicht einen 3-Nitrobenzal Malonitrile, 1,4

- 35 Phenylenediamine-Komplex enthält.

40. Verfahren zum Herstellen eines integrierten Festwertspeichers nach einem der Ansprüche 26 bis 31, bei dem die Schicht eine Chalcogenide-Verbindung enthält.

Zusammenfassung

Integrierter Festwertspeicher, Verfahren zum Betreiben eines solchen Festwertspeichers sowie Herstellungsverfahren

5

Ein integrierter Festwertspeicher enthält Auswahltransistoren mit je einem Drain-Anschluss sowie eine Elektrode zur Zufuhr einer Spannung oder eines Stromes. Es ist eine Schicht zwischen den Drain-Anschlüssen und der Elektrode vorgesehen, deren elektrischer Widerstand durch Einwirkung einer Konfigurierungs-Spannung oder eines Konfigurierungs-Stromes änderbar ist. Die Schicht wird im Backend-Prozess aufgebracht.

10

15 Sign. Fig. 1

Bezugszeichenliste

- | | |
|----|-------------------|
| 1 | Elektrode |
| 2 | Schicht |
| 3 | Drainanschluss |
| 4 | Sourceanschluss |
| 5 | Gate |
| 6 | Nitridschicht |
| 7 | Wolframschicht |
| 8 | Polysilizium-Gate |
| 9 | Oxidschicht |
| 10 | Oxid-Spacer |
| 11 | N-Draingebiet |
| 12 | N-Sourcegebiet |
| 13 | P-Substrat |
| 14 | Bitleitung |
| 15 | Auswahltransistor |
| 16 | P-Gebiet |

FIG 1

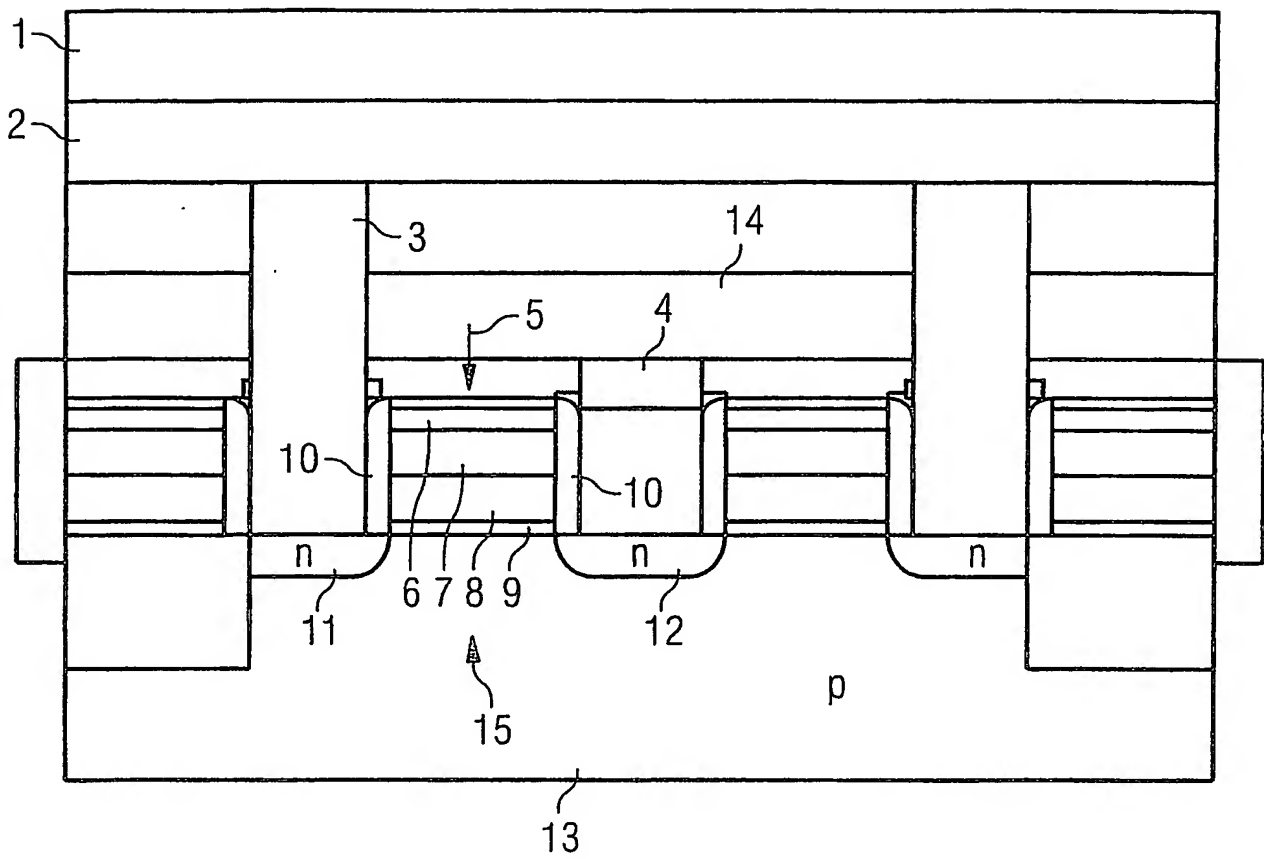


FIG 2

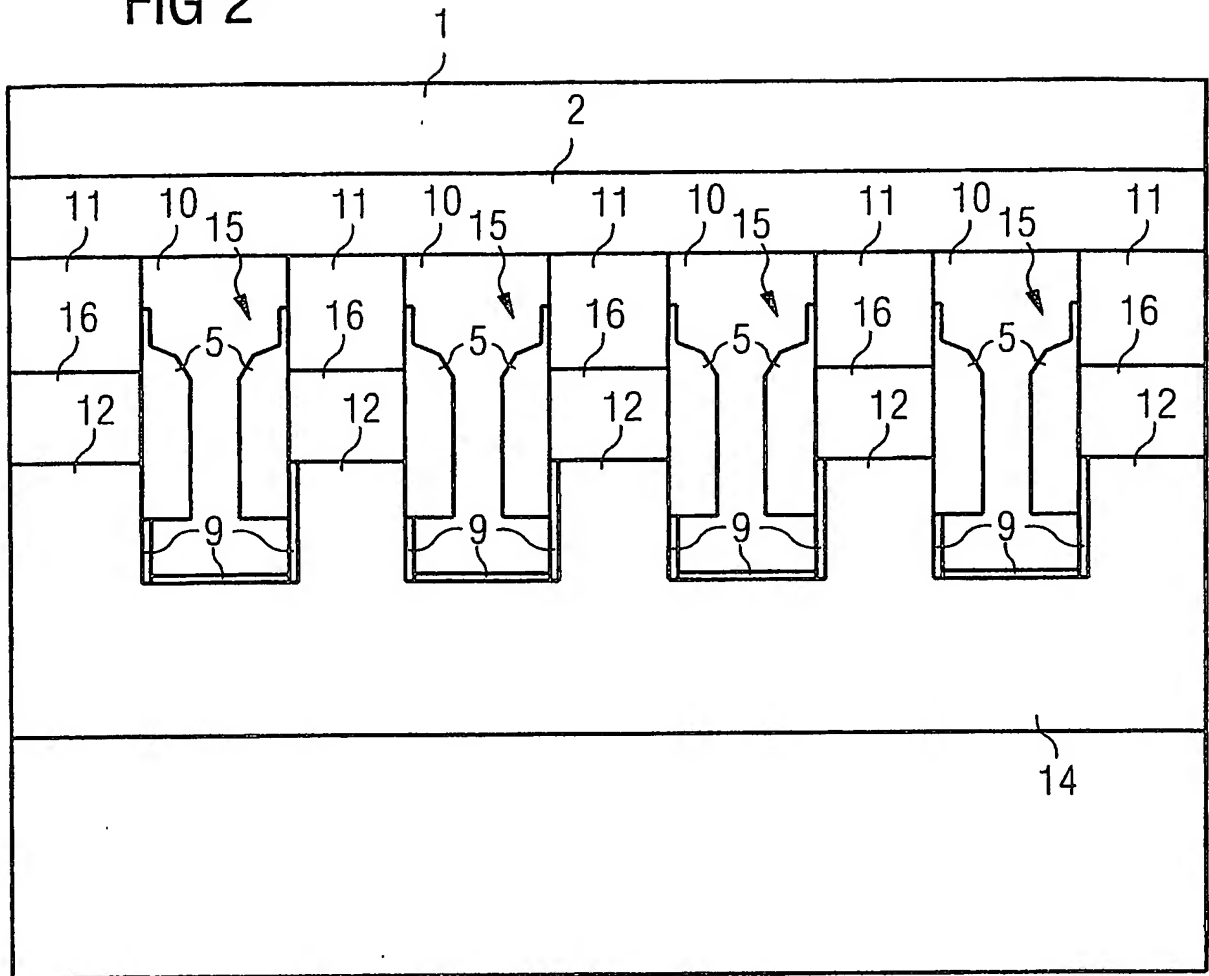
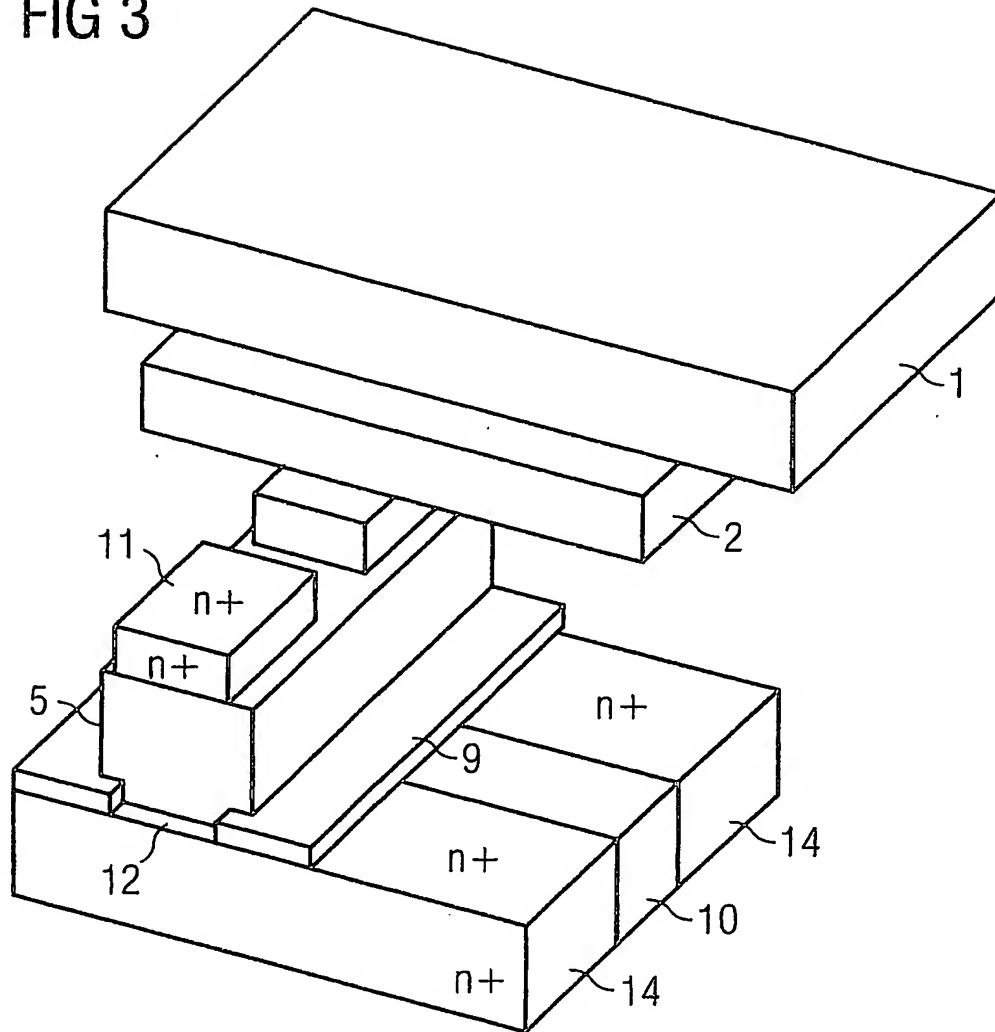


FIG 3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.